

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-66517

(P2006-66517A)

(43) 公開日 平成18年3月9日(2006.3.9)

(51) Int.Cl.

H01L 23/12 (2006.01)

F1

H01L 23/12 501B

テーマコード(参考)

審査請求 未請求 請求項の数 14 O L (全 22 頁)

(21) 出願番号 特願2004-245468 (P2004-245468)
 (22) 出願日 平成16年8月25日(2004.8.25)

(71) 出願人 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 村松 茂次
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 経塚 正宏
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 (72) 発明者 小松 幹幸
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

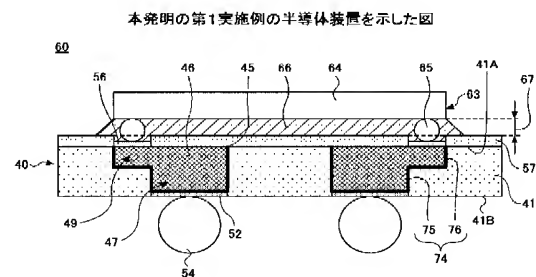
(54) 【発明の名称】 基板、半導体装置、基板の製造方法、及び半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、半導体素子を高密度に搭載する基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に関し、半導体素子と基板との間隙に十分な厚さのアンダーフィル樹脂を均一に配設することができ、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法を提供することを課題とする。

【解決手段】 基材41の面41側の貫通ビア部47の端部、及び接続パッド49を基材41の面41Aと面一となるよう構成し、基材41の面41Aに接続パッド49を露出するソルダーレジスト57を設け、接続パッド49に拡散防止膜56を設け、拡散防止膜56を介して、半導体素子63のはんだバンプ65を接続パッド49に接続し、半導体素子本体64と基板40との間隙67にアンダーフィル樹脂66を配設する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

基材と、半導体素子に設けられた第 1 の外部接続端子が接続される配線部とを備えた基板において、

前記配線部と一体的に形成され、前記基材を貫通する貫通ビア部を有しており、

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されていることを特徴とする基板。

【請求項 2】

前記配線部は、前記第 1 の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

10

前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする請求項 1 に記載の基板。

【請求項 3】

前記配線部が設けられた側とは反対側に位置する前記貫通ビア部には、他の基板と接続するための第 2 の外部接続端子を設けたことを特徴とする請求項 1 または 2 に記載の基板。

【請求項 4】

第 1 の外部接続端子を備えた半導体素子と、請求項 1 乃至 3 のいずれか 1 項に記載の基板とを備え、

該基板に接続された半導体素子と前記基板との間には、間隙が形成されており、

前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置。

20

【請求項 5】

基材と、他の基板と接続するための第 2 の外部接続端子が接続される配線部とを備え、第 1 の外部接続端子を備えた半導体素子が接続される基板において、

前記基材は、前記基材を貫通すると共に、前記配線部と一体的に形成された貫通ビア部を有しており、

前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されており、

前記第 1 の外部接続端子は、前記配線部が設けられた側とは反対側の前記基材に位置する前記貫通ビアと接続されることを特徴とする基板。

【請求項 6】

30

前記配線部は、他の基板と接続するための第 2 の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする請求項 5 に記載の基板。

【請求項 7】

第 1 の外部接続端子を備えた半導体素子と、請求項 5 または 6 に記載の基板とを備え、

該基板に接続された半導体素子と前記基板との間には、間隙が形成されており、

前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置。

【請求項 8】

基材と、半導体素子に設けられた第 1 の外部接続端子が接続される配線部と、他の基板と接続するための第 2 の外部接続端子とを備えた基板の製造方法において、

40

前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、

前記開口部の内壁に金属膜を形成する金属膜形成工程と、

前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第 2 の外部接続端子が接続される貫通ビア部を形成すると共に、前記溝部に前記第 1 の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含んだことを特徴とする基板の製造方法。

【請求項 9】

前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前

50

記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項 8 に記載の基板の製造方法。

【請求項 10】

前記配線部は、前記第 1 の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする請求項 8 または 9 に記載の基板の製造方法。

【請求項 11】

基材と、配線部とを有した基板と、

10

前記配線部に接続される第 1 の外部接続端子を備えた半導体素子とを備え、

前記基板に接続された半導体素子と前記基板との間に形成される間隙に、アンダーフィル材を設けた半導体装置の製造方法において、

前記基材を支持する支持部材に、前記基材を配設する基材配設工程と、

該基材配設工程後に、請求項 8 乃至 10 のいずれか 1 項に記載の基板の製造方法により前記基板を製造する基板製造工程と、

該基板製造工程後に、前記第 1 の外部接続端子を前記配線部に接続する半導体素子接続工程と、

該半導体素子接続工程後に、前記基板に接続された半導体素子と前記基板との間に形成された間隙に、前記アンダーフィル材を配設するアンダーフィル材配設工程と、

20

該アンダーフィル樹脂配設工程後に、前記支持部材を除去する支持部材除去工程とを含んだことを特徴とする半導体装置の製造方法。

【請求項 12】

基材と、他の基板と接続するための第 2 の外部接続端子が接続される配線部とを備え、第 1 の外部接続端子を備えた半導体素子が接続される基板の製造方法において、

前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、

前記開口部の内壁に金属膜を形成する金属膜形成工程と、

前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第 1 の外部接続端子と接続される貫通ビア部を形成すると共に、前記溝部に前記第 2 の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含んだことを特徴とする基板の製造方法。

30

【請求項 13】

前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項 12 に記載の基板の製造方法。

【請求項 14】

前記配線部は、前記第 2 の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、

前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を形成する絶縁層形成工程とを設けたことを特徴とする請求項 12 または 13 に記載の基板の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に係り、特に半導体素子を高密度に実装する基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に関する。

【背景技術】

【0002】

50

図 1 及び図 2 を参照して、従来の半導体装置 20 について説明する。図 1 は、従来の半導体装置の断面図であり、図 2 は、図 1 に示した基板の断面図である。なお、図 2 において、図 1 に示した基板 10 と同一構成部分には同一の符号を付す。

【0003】

半導体装置 20 は、大略するとはんだバンプ 24 を備えた半導体素子 23 と、基板 10 とを有しており、基板 10 の接続パッド 15 に対して半導体素子 23 のはんだバンプ 24 が接続（フリップチップ接続）されると共に、半導体素子 23 と基板 10 との間に形成された間隙に、アンダーフィル樹脂 26 が配設された構成とされている。

【0004】

基板 10 は、大略すると樹脂基材 11 と、貫通孔 12 と、貫通ビア 13 と、配線 14, 17 と、接続パッド 15, 18 と、ソルダーレジスト 16, 19 と、はんだボール 21 とを有した構成とされている。基板 10 は、半導体素子 23 とマザーボード（図示せず）との間を電氣的に接続するためのものである。

【0005】

貫通ビア 13 は、樹脂基材 11 を貫通する貫通孔 12 に配設されており、配線 14 と接続されている。配線 14 は、樹脂基材 11 の面 11A に設けられており、接続パッド 15 と接続されている。接続パッド 15 は、例えば、樹脂基材 11 の面 11A に設けられており、半導体素子 23 のはんだバンプ 24 を接続するためのものである。配線 14 及び接続パッド 15 は、樹脂基材 11 の面 11A に銅箔を貼り付け、銅箔上に配線 14 及び接続パッド 15 の形状に対応するようレジスト膜をパターンニングし、このパターンニングされたレジスト膜をマスクとしてエッチングを行うことで形成される（例えば、特許文献 1 参照。）。

【0006】

ソルダーレジスト 16 は、樹脂基材 11 の面 11A、及び配線 14 を覆うと共に、接続パッド 15 を露出するよう設けられている。配線 17 は、樹脂基材 11 の面 11B に設けられており、貫通ビア 13 と接続されている。接続パッド 18 は、例えば、樹脂基材 11 の面 11B に設けられており、配線 17 と接続されている。接続パッド 18 は、はんだボール 21 を配設するためのものである。配線 17 及び接続パッド 18 は、樹脂基材 11 の面 11B に銅箔を貼り付け、銅箔上に配線 17 及び接続パッド 18 の形状に対応するようレジスト膜をパターンニングし、このパターンニングされたレジスト膜をマスクとしてエッチングを行うことで形成される（例えば、特許文献 1 参照。）。

【0007】

ソルダーレジスト 19 は、樹脂基材 11 の面 11B、及び配線 17 を覆うと共に、接続パッド 18 を露出するよう形成されている。はんだボール 21 は、接続パッド 18 に配設されており、はんだボール 21 はマザーボード（図示せず）と接続される。このような構成とされた基板 10 の接続パッド 15 には、半導体素子 23 のはんだバンプ 24 が接続される。

【0008】

アンダーフィル樹脂 26 は、ソルダーレジスト 16 と半導体素子 23 との間に配設されている。アンダーフィル樹脂 26 は、基板 10 に接続された半導体素子 23 と樹脂基材 11 との接続を強固にするためのものである。アンダーフィル樹脂 26 を設けることにより、基板 10 と半導体素子 23 との間の接続信頼性を向上させることができる。

【特許文献 1】特開 2000-165049 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

図 3 は、半導体素子が接続された基板と半導体素子との間の拡大図である。なお、図 3 において、D1 は樹脂基材 11 上に設けられたソルダーレジスト 16 と半導体素子 23 との間隙（以下、間隙 D1 とする）、D2 は配線 14 上に設けられたソルダーレジスト 16 と半導体素子 23 との間隙（以下、間隙 D2 とする）、H1 ははんだバンプ 24

10

20

30

40

50

の高さ（以下、高さH1とする）をそれぞれ示している。また、図3に示した領域Aは、配線14が設けられた領域を示しており、領域Bは配線14及び接続パッド15が設けられていない領域を示している。

【0010】

しかしながら、半導体素子23が実装される側の樹脂基材11には、配線14が形成された領域Aと、接続パッド15及び配線14が形成されていない領域Bとが存在し、接続パッド15及び配線14は樹脂基材11の面11Aから突出するよう形成されているため、基板10に設けられたソルダーレジスト16の上而16Aは凹凸形状となる。これにより、基板10に接続された半導体素子23と基板10との間にアンダーフィル樹脂26を配設した際、配線14上に設けられたソルダーレジスト16と半導体素子23との間の間隙D2は、領域Bに設けられたソルダーレジスト16と半導体素子23との間の間隙D1よりも狭くなってしまい、半導体素子23と基板10との間に均一かつ十分な厚さのアンダーフィル樹脂26を設けることが困難であるという問題があった。

10

【0011】

また、近年の半導体素子の高速化、多機能化及び高集積化による端子の増加や狭ピッチ化に伴い、半導体素子23のはんだバンプ24（外部接続端子）の高さH1は小さくなってきており、配線14上に設けられたソルダーレジスト16と半導体素子23との間の間隙D2は、さらに小さくなる傾向にあり、間隙D2にアンダーフィル樹脂26を設けることが困難であるという問題があった。

【0012】

さらに、半導体素子の小型化及び薄膜化に伴い、基板10の厚さが薄くなった場合には、基板10の強度不足により、基板10が変形し、基板10に対して半導体素子23を精度良く接続することが困難であるという問題があった。

20

【0013】

そこで本発明は、上述した問題点に鑑みなされたものであり、半導体素子と基板との間に十分な厚さのアンダーフィル樹脂を均一に配設でき、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

30

【0015】

請求項1記載の発明では、基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部とを備えた基板において、前記配線部と一体的に形成され、前記基材を貫通する貫通ビア部を有しており、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されていることを特徴とする基板により、解決できる。

【0016】

上記発明によれば、半導体素子に設けられた第1の外部接続端子が接続される配線部と、配線部が設けられた側の基材の面とが面一となるよう構成することにより、基板に半導体素子が接続された際、半導体素子と基板との間に形成される間隙を均一にすると共に、十分に確保することができる。

40

【0017】

請求項2記載の発明では、前記配線部は、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする請求項1に記載の基板により、解決できる。

【0018】

上記発明によれば、配線部が設けられた側の基材の面と配線とが面一となるよう構成す

50

ることにより、配線上に設けられた絶縁層の表面が凸凹することがなくなるため、基板に設けられた絶縁層と半導体素子との間に形成される間隙を均一かつ、十分に確保することができる。

【0019】

請求項3記載の発明では、前記配線部が設けられた側とは反対側に位置する前記貫通ビア部には、他の基板と接続するための第2の外部接続端子を設けたことを特徴とする請求項1または2に記載の基板により、解決できる。

【0020】

上記発明によれば、配線部が設けられた側とは反対側に位置する貫通ビア部に、他の基板と接続するための第2の外部接続端子を設けることにより、従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。 10

【0021】

請求項4記載の発明では、第1の外部接続端子を備えた半導体素子と、請求項1乃至3のいずれか1項に記載の基板とを備え、該基板に接続された半導体素子と前記基板の間には、間隙が形成されており、前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置により、解決できる。

【0022】

上記発明によれば、半導体素子と基板との間に形成された間隙に、十分な厚さのアンダーフィル材を均一に配設することができる。これにより、基板と半導体素子との間の接続信頼性を十分に確保することができる。 20

【0023】

請求項5記載の発明では、基材と、他の基板と接続するための第2の外部接続端子が接続される配線部とを備え、第1の外部接続端子を備えた半導体素子が接続される基板において、前記基材は、前記基材を貫通すると共に、前記配線部と一体的に形成された貫通ビア部を有しており、前記配線部は、該配線部が設けられた側の前記基材の面と面一となるよう構成されており、前記第1の外部接続端子は、前記配線部が設けられた側とは反対側の前記基材に位置する前記貫通ビアと接続されることを特徴とする基板により、解決できる。

【0024】

上記発明によれば、半導体素子に設けられた第1の外部接続端子は、基材の面と面一とされた貫通ビア部に接続されるため、基板に接続された半導体素子と基板との間に形成される間隙を均一にすると共に、十分に確保することができる。また、配線部が設けられた側の基材の面と配線部とを面一となるよう構成されているので、従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。 30

【0025】

請求項6記載の発明では、前記配線部は、他の基板と接続するための第2の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記配線部が設けられた側の前記基材には、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を設けたことを特徴とする請求項5に記載の基板により、解決できる。 40

【0026】

上記発明によれば、配線部は、配線部が設けられた側の基材の面と面一となるよう構成されているため、絶縁層の表面が凸凹することを防止できる。

【0027】

請求項7記載の発明では、第1の外部接続端子を備えた半導体素子と、請求項5または6に記載の基板とを備え、該基板に接続された半導体素子と前記基板の間には、間隙が形成されており、前記間隙には、アンダーフィル材を設けたことを特徴とする半導体装置により、解決できる。

【0028】

上記発明によれば、半導体素子と基板との間に形成された間隙に、十分な厚さのアンダ 50

ーフィル材を均一に配設することができる。これにより、基板と半導体素子との間の接続信頼性を十分に確保することができる。

【0029】

請求項8記載の発明では、基材と、半導体素子に設けられた第1の外部接続端子が接続される配線部と、他の基板と接続するための第2の外部接続端子とを備えた基板の製造方法において、前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、前記開口部の内壁に金属膜を形成する金属膜形成工程と、前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第2の外部接続端子が接続される貫通ビア部を形成すると共に、前記溝部に前記第1の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含んだことを特徴とする基板の製造方法により、解決できる。

10

【0030】

上記発明によれば、基材に溝部と、溝部と一体的に形成された貫通孔とよりなる開口部を形成し、開口部の内壁に金属膜を形成して、電解めっき法により開口部にめっき膜を析出成長させることにより、半導体素子に設けられた第1の外部接続端子が接続される配線部と貫通ビア部とが、配線部が設けられた側の基材の面と面一になるよう加工することができる。

【0031】

請求項9記載の発明では、前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項8に記載の基板の製造方法により、解決できる。

20

【0032】

上記発明によれば、めっき膜形成工程において、めっき膜が基材の面よりも突出した際、めっき膜と基材の面とが面一となるよう研磨することにより、配線部及び貫通ビア部と配線部が設けられた側の基材の面とを面一にすることができる。

【0033】

請求項10記載の発明では、前記配線部は、前記第1の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を前記基材に形成する絶縁層形成工程とを設けたことを特徴とする請求項8または9に記載の基板の製造方法により、解決できる。

30

【0034】

上記発明によれば、配線は、配線部が設けられた側の基材の面と面一となるよう形成されるため、貫通ビア部及び配線を覆う絶縁層の表面が凸凹することがなくなり、基板に接続された半導体素子と絶縁層との間に形成される間隙を均一かつ、十分に確保することができる。

【0035】

請求項11記載の発明では、基材と、配線部とを有した基板と、前記配線部に接続される第1の外部接続端子を備えた半導体素子とを備え、前記基板に接続された半導体素子と前記基板との間に形成される間隙に、アンダーフィル材を設けた半導体装置の製造方法において、前記基材を支持する支持部材に、前記基材を配設する基材配設工程と、該基材配設工程後に、請求項8乃至10のいずれか1項に記載の基板の製造方法により前記基板を製造する基板製造工程と、該基板製造工程後に、前記第1の外部接続端子を前記配線部に接続する半導体素子接続工程と、半導体素子接続工程後に、前記基板に接続された半導体素子と前記基板との間に形成された間隙に、前記アンダーフィル材を配設するアンダーフィル材配設工程と、該アンダーフィル材配設工程後に、前記支持部材を除去する支持部材除去工程とを含んだことを特徴とする半導体装置の製造方法により、解決できる。

40

【0036】

上記発明によれば、基材を支持する支持部材上に基材を配設して、請求項8乃至10の

50

いずれか 1 項に記載の基板の製造方法により基板を製造することにより、基材の厚さが薄い場合でも、精度良く基板の製造を行うことができる。また、基材を支持部材により支持した状態で、基板に半導体素子を接続することで、基材の厚さが薄い場合でも、基板と半導体素子とを確実に接続することができる。

【0037】

請求項 1 2 記載の発明では、基材と、他の基板と接続するための第 2 の外部接続端子が接続される配線部とを備え、第 1 の外部接続端子を備えた半導体素子が接続される基板の製造方法において、前記基材に溝部と、該溝部と一体的に形成された貫通孔とよりなる開口部を形成する開口部形成工程と、前記開口部の内壁に金属膜を形成する金属膜形成工程と、前記金属膜を給電層として、電解めっき法により前記開口部にめっき膜を析出成長させ、前記貫通孔に前記第 1 の外部接続端子と接続される貫通ビア部を形成すると共に、前記溝部に前記第 2 の外部接続端子が接続される配線部を形成するめっき膜形成工程とを含んだことを特徴とする基板の製造方法により、解決できる。

10

【0038】

上記発明によれば、半導体素子と接続される貫通ビア部は、基材の面と面一となるよう形成することにより、基板に接続される半導体素子と基板との間に形成される間隙を均一、かつ十分に確保することができる。

【0039】

請求項 1 3 記載の発明では、前記めっき膜形成工程において、前記めっき膜が前記基材の面よりも突出した際には、前記めっき膜と前記基材の面が面一となるように前記突出しためっき膜を研磨するめっき膜研磨工程を設けたことを特徴とする請求項 1 2 に記載の基板の製造方法により、解決できる。

20

【0040】

上記発明によれば、めっき膜形成工程において、めっき膜が基材の面よりも突出した際、めっき膜と基材の面が面一となるように研磨することにより、配線部及び貫通ビア部と配線部が設けられた側の基材の面とを面一にすることができる。これにより、基材から突出する配線部を有した従来の基板よりも基板の厚さを薄くして、基板の小型化を図ることができる。

【0041】

請求項 1 4 記載の発明では、前記配線部は、前記第 2 の外部接続端子が接続される接続パッドと、該接続パッドと前記貫通ビア部との間を接続する配線とを有しており、前記貫通ビア部及び配線を覆うと共に、前記接続パッドを露出する絶縁層を形成する絶縁層形成工程とを設けたことを特徴とする請求項 1 2 または 1 3 に記載の基板の製造方法により、解決できる。

30

【0042】

上記発明によれば、第 2 の外部接続端子が接続される配線部は、配線部が設けられた側の基材の面と面一となるよう形成されるため、貫通ビア部及び配線に設けられた絶縁層の表面が凸凹することを防止できる。

【発明の効果】

【0043】

本発明によれば、表面の平坦性が高く、半導体素子と基板との間隙に十分な厚さのアンダーフィル材を均一に配設することができ、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法を提供できる。

40

【発明を実施するための最良の形態】

【0044】

次に、図面に基づいて本発明の実施例を説明する。

(第 1 実施例)

始めに、図 4 を参照して、本発明の第 1 実施例の半導体装置 60 について説明する。図 4 は、本発明の第 1 実施例の半導体装置を示した図である。半導体装置 60 は、大略する

50

と基板 40 と、半導体素子 63 とを有している。半導体装置 60 は、半導体素子 63 が基板 40 に対してフリップチップ接続されると共に、半導体素子本体 64 と基板 40 との間隙 67 にアンダーフィル樹脂 66 を配設した構成とされている。アンダーフィル樹脂 66 は、基板 40 に接続されたはんだバンプ 65 を保護して、基板 40 と半導体素子 63 との間の接続信頼性を向上させるためのものである。半導体素子 63 は、半導体素子本体 64 に第 1 の外部接続端子であるはんだバンプ 65 が設けられた構成とされている。はんだバンプ 65 は、拡散防止膜 56 を介して、基板 40 の接続パッド 49 に接続されている。

【0045】

次に、図 5 乃至図 7 を参照して、本実施例の基板 40 について説明する。図 5 は、第 1 実施例の基板の断面図（図 6 に示した基板 40 の E-E 線方向の断面図）であり、図 6 は、図 5 に示した基板を C 視した図（平面図）であり、図 7 は、図 5 に示した基板を D 視した図である。

【0046】

基板 40 は、大略すると基材 41 と、貫通ビア部 47 と、配線部 48 と、拡散防止膜 52、56 と、ソルダーレジスト 57 とを有した構成とされている。基材 41 には、貫通ビア部 47 及び配線部 48 を配設するための開口部 74 が形成されている。開口部 74 は、貫通ビア部 47 が配設される貫通孔 75 と、配線部 49 が配設される溝部 76 とを有した構成とされている。基材 41 には、例えば、樹脂基材を用いることができる。なお、以下の説明においては、基材 41 として樹脂基材を用いた場合について説明する。

【0047】

貫通ビア部 47 は、基材 41 を貫通するよう貫通孔 75 に配設されており、溝部 76 に配設された配線部 48 と一体的に形成されている。貫通ビア部 47 は、はんだボール 54 を接続するためのものであり、配線部 48 の接続パッド 49 には、半導体素子 63 のはんだバンプ 65 が接続される。貫通ビア部 47 及び配線部 48 は、金属膜 45 と、Cuめっき膜 46 とにより構成されている。金属膜 45 は、電解めっき法により Cuめっき膜 46 を形成する際の給電層である。金属膜 45 には、例えば、無電解めっき法により形成された Ni 膜、Cu 膜を用いることができる。

【0048】

基材 41 の面 41B 側に位置する貫通ビア部 47 の端部には、拡散防止膜 52 が設けられている。拡散防止膜 52 は、はんだのぬれ性向上や、貫通ビア部 47 に含まれる Cu がはんだボール 54 に拡散することを防止するためのものである。拡散防止膜 52 には、例えば、Ni 層/Au 層の積層膜を用いることができる。第 2 の外部接続端子であるはんだボール 54 は、基板 40 に半導体素子 63 を搭載し、アンダーフィル樹脂 66 を充填した後、拡散防止膜 52 上に配設される。はんだボール 54 は、他の基板、例えば、マザーボードと基板 40 との間を電氣的に接続するためのものである。

【0049】

配線部 48 は、基材 41 の面 41A 側に設けられており、接続パッド 49 と配線 51 とを有した構成とされている（図 6 参照）。接続パッド 49 は、半導体素子 63 のはんだバンプ 65 が接続されるものであり、配線 51 は、接続パッド 49 と貫通ビア部 47 との間を電氣的に接続するためのものである。配線部 48 である接続パッド 49 及び配線 51 は、基材 41 の面 41A と面一となるよう構成されている。絶縁層であるソルダーレジスト 57 は、基材 41 の面 41A 側に貫通ビア部 47 及び配線 51 を覆うと共に、接続パッド 49 を露出するよう形成されている。

【0050】

このように、配線部 48 を基材 41 の面 41A と面一となるよう構成することにより、はんだバンプ 65 を接続パッド 49 に接続した際、基板 40 に設けられたソルダーレジスト 57 と半導体素子本体 64 との間に形成される間隙 67 を均一にすると共に、十分に確保することができる。これにより、間隙 67 に十分な厚さのアンダーフィル樹脂 66 を均一に配設して、半導体素子 63 と基板 40 の間の接続信頼性を十分に確保することができる。

10

20

30

40

50

【0051】

ソルダーレジスト57から露出された接続パッド49には、拡散防止膜56が設けられている。拡散防止膜56は、はんだのぬれ性向上や、接続パッド49に含まれるCuがはんだバンプ65に拡散することを防止するためのものである。拡散防止膜56には、例えば、Ni層/Au層の積層膜を用いることができる。

【0052】

次に、図8乃至図21を参照して、第1実施例の半導体装置60の製造方法について説明する。図8乃至図20は、第1実施例の半導体装置の製造工程を示した図であり、図21は、図11に示した構造体にCuめっき膜を析出成長させた図である。なお、図8乃至図20において、図4に示した半導体装置60と同一構成部分には同一の符号を付す。

10

【0053】

始めに、図8に示すように、支持部材71上に金属層72を設け、金属層72を介して支持部材71に基材41を配設する（基材配設工程）。支持部材71は、基材41の厚さM1が薄い場合に発生する反りや撓みを抑制するためのものである。支持部材71には、例えば、エポキシやポリイミド等の樹脂板や、アルミ、銅等の金属板を用いることができる。なお、支持部材71に金属板を用いる場合には、金属層72を設ける必要がなく、金属層72を形成する工程を省略することができる。

【0054】

このように、支持部材71上に基材41を配設して、基板40の製造を行うことにより、基材41の厚さM1が薄い場合でも、基板40を精度良く製造することができる。金属層72は、電解めっき法により拡散防止膜52を形成する際の給電層である。金属層72は、例えば、無電解めっき法やスパッタ法により形成することができる。金属層72の材料には、例えば、Cu、Ni、Al等を用いることができる。なお、金属層72が設けられた支持部材71上に、樹脂を塗布して、基材41を形成しても良い。

20

【0055】

次に、図9に示すように、基材41に、溝部76と、溝部76と一体的に形成された貫通孔75よりなる開口部74を形成する（開口部形成工程）。この際、金属層72は、貫通孔75により露出される。開口部74は、例えば、ドリルを用いたドリル加工、レーザ加工、微細な金型を用いた金型加工のいずれかの方法により形成することができる。金型加工を用いる場合には、金属層72が形成された支持部材71上に、樹脂（図9に示した基材41に相当する）を塗布又は樹脂フィルム（図9に示した基材41に相当する）を貼着し、次に、樹脂（又は樹脂フィルム）を半硬化させ、開口部74を形成するための凸部を有した金型を半硬化状態の樹脂（又は樹脂フィルム）に押し付けて、凸部の形状を転写し、樹脂（又は樹脂フィルム）を加熱して硬化させることで、基材41に開口部74が形成される。

30

【0056】

続いて、図10に示すように、金属層72を給電層として、電解めっき法により貫通孔75の底部に拡散防止膜52を形成する。なお、拡散防止膜52に替えて、はんだボール54の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。次に、図11に示すように、図10に示した構造体上に金属膜45を形成する。金属膜45は、開口部74にCuめっき膜46を析出成長させるための給電層である。金属膜45は、例えば、無電解めっき法やスパッタ法により形成することができる。金属膜45には、例えば、銅やニッケルを用いることができる。

40

【0057】

次に、図12に示すように、基材41の面41A上に形成された金属膜45を研磨により除去して、開口部74の内壁にのみ金属膜45を残す（金属膜形成工程）。続いて、図13に示すように、金属膜45を給電層として、電解めっき法により開口部74にCuめっき膜46を析出成長させる（めっき膜形成工程）。なお、図13において、Cuめっき膜46Aは、基材41の面41Aから突出した部分のCuめっき膜を示している。

【0058】

50

次に、図 1 4 に示すように、基材 4 1 の面 4 1 A から突出した Cu めっき膜 4 6 A の研磨を行って、Cu めっき膜 4 6 の面 4 6 B と基材 4 1 の面 4 1 A とを面一にする（めっき膜研磨工程）。これにより、溝部 7 6 に形成された配線部 4 8（接続パッド 4 9 及び配線 5 1）、及び貫通孔 7 5 に形成された貫通ビア部 4 7 を基材 4 1 の面 4 1 A と面一にすることができる。

【0059】

このように、配線部 4 8 が基材 4 1 の面 4 1 A と面一になるよう形成することにより、基材 4 1 の面 4 1 A から接続パッド 4 9 及び配線 5 1 が突出することがなくなり、半導体素子 6 3 を基板 4 0 に接続させた際、半導体素子本体 6 4 と基板 4 0 との間隙 6 7 を均一にすると共に、十分に確保することができる。なお、めっき膜形成工程において、Cu めっき膜 4 6 A の突出量が少ない場合には、めっき膜研磨工程を省略しても良い。

【0060】

次に、図 1 5 に示すように、配線 5 1 及び貫通ビア部 4 7 を覆うと共に、接続パッド 4 9 を露出する開口部 5 7 A を有したソルダーレジスト 5 7 を形成する（絶縁層形成工程）。続いて、図 1 6 に示すように、めっき法により開口部 5 7 A に露出された接続パッド 4 9 上に Ni 層 / Au 層からなる拡散防止膜 5 6 を形成する。なお、拡散防止膜 5 6 に替えて、半導体素子 6 3 の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。

【0061】

次に、図 1 7 に示すように、基材 4 1 を支持部材 7 1 に支持した状態で、拡散防止膜 5 6 を介して、半導体素子 6 3 のはんだバンプ 6 5 を接続パッド 4 9 にフリップチップ接続する（半導体素子接続工程）。

【0062】

このように、支持部材 7 1 により基材 4 1 を支持した状態で、半導体素子 6 3 を接続パッド 4 9 に接続することで、基材 4 1 の厚さ M 1 が薄い場合でも、基材 4 1 が撓むことが防止でき、半導体素子 6 3 のはんだバンプ 6 5 を接続パッド 4 9 に対して精度良く接続することができる。

【0063】

次に、図 1 8 に示すように、半導体素子本体 6 4 とソルダーレジスト 5 7 との間に形成された間隙 6 7 に、アンダーフィル樹脂 6 6 を配設する（アンダーフィル材配設工程）。これにより、間隙 6 7 に十分な厚さのアンダーフィル樹脂 6 6 を均一に配設して、基板 4 0 と半導体素子 6 3 との間の接続信頼性を十分に確保することができる。

【0064】

次に、図 1 9 に示すように、支持部材 7 1 及び金属層 7 2 の除去処理を行う（支持部材除去工程）。ここで、支持部材 7 1 及び金属層 7 2 の除去処理について説明する。支持部材 7 1 に樹脂板を用いた場合には、支持部材 7 1 を剥離後に、金属層 7 2 をウエットエッチングにより除去する。また、支持部材 7 1 がポリイミド（樹脂）からなり、この表面に無電解銅めっき法で金属層 7 2 が形成された場合には、容易に金属層 7 2 から支持部材 7 1 を剥離させることができる。金属層 7 2 に銅を用いた場合には、銅をウエットエッチングする際に使用されるエッチング液に拡散防止膜 5 2 が溶解されにくいため、金属層 7 2 のみ容易に除去することができる。支持部材 7 1 に金属板を用いた場合には、ウエットエッチングにより除去することができる。また、支持部材 7 1 である金属板を研磨により除去後、ウエットエッチングにより金属層 7 2 の除去を行っても良い。

【0065】

続いて、図 2 0 に示すように、拡散防止膜 5 2 を介して、はんだボール 5 4 を貫通ビア部 4 7 に接続する。これにより、基板 4 0 に半導体素子 6 3 が接続された半導体装置 6 0 が製造される。

【0066】

以上説明したように、配線部 4 8 及び貫通ビア部 4 7 が基材 4 1 の面 4 1 A と面一となるよう形成することにより、半導体素子本体 6 4 と基板 4 0 との間に形成される間隙 6 7

を均一にすると共に、十分に確保して、間隙 6 7 に十分な厚さのアンダーフィル樹脂 6 6 を配設することができる。これにより、基板 4 0 と半導体素子 6 3 との接続を強固にすることにより、基板 4 0 及び／又は半導体素子 6 3 が破損することを防止できる。また、基材 4 1 の厚さ M 1 が薄い場合において、基板 4 0 を精度良く加工すると共に、半導体素子 6 3 のはんだバンプ 6 5 を接続パッド 4 9 に対して精度良く接続することができる。

【0067】

なお、図 2 1 に示すように、図 1 1 に示した構造体に Cu めっき膜 4 6 を形成し、続いて、研磨により図 1 4 に示した構造体の形状に加工し、その後、図 1 5 乃至図 2 0 に示した製造工程により半導体装置 6 0 を製造しても良い。

(第 2 実施例)

始めに、図 2 2 を参照して、本発明の第 2 実施例の半導体装置 1 0 0 について説明する。図 2 2 は、本発明の第 2 実施例の半導体装置を示した図である。半導体装置 1 0 0 は、大略すると基板 8 0 と、半導体素子 6 3 とを有している。半導体装置 1 0 0 は、半導体素子 6 3 が基板 8 0 に対してフリップチップ接続され、半導体素子本体 6 4 と基板 8 0 との間隙 1 1 0 には、アンダーフィル樹脂 9 8 が配設されている。

【0068】

半導体素子 6 3 は、半導体素子本体 6 4 と、第 1 の外部接続端子であるはんだバンプ 6 5 とを有した構成とされている。はんだバンプ 6 5 は、拡散防止膜 9 5 を介して、基材 8 1 の面 8 1 A 側に位置する貫通ビア部 8 7 の端部と接続されている。

【0069】

次に、図 2 3 乃至図 2 5 を参照して、本実施例の基板 8 0 について説明する。図 2 3 は、第 2 実施例の基板の断面図（図 2 5 に示した基板 8 0 の F－F 線方向の断面図）であり、図 2 4 は、図 2 3 に示した基板を C 視した図（平面図）であり、図 2 5 は、図 2 3 に示した基板を D 視した図である。

【0070】

基板 8 0 は、大略すると基材 8 1 と、貫通ビア部 8 7 と、配線部 8 8 と、拡散防止膜 9 2、9 5 と、はんだボール 9 4 と、ソルダーレジスト 9 1 とを有した構成とされている。基材 8 1 には、貫通ビア部 8 7 及び配線部 8 8 を配設するための開口部 8 4 が形成されている。開口部 8 4 は、貫通ビア部 8 7 が配設される貫通孔 8 2 と、配線部 8 8 が配設される溝部 8 3 とを有した構成とされている。基材 8 1 には、例えば、樹脂基材を用いることができる。なお、以下の説明においては、基材 8 1 として樹脂基材を用いた場合について説明する。

【0071】

貫通ビア部 8 7 は、基材 8 1 を貫通するよう貫通孔 8 2 に配設されており、溝部 8 3 に配設された配線部 8 8 と一体的に形成されている。配線部 8 8 が形成されていない側の貫通ビア部 8 7 には、半導体素子 6 3 のはんだバンプ 6 5 が接続される。

【0072】

このように、半導体素子 6 3 のはんだバンプ 6 5 を配線部 8 8 が形成されていない側の貫通ビア部 8 7 に接続することにより、半導体素子 6 3 と基板 8 0 との間に形成される間隙 1 1 0 を均一、かつ十分に確保することができる。これにより、間隙 1 1 0 に十分な厚さのアンダーフィル樹脂 9 8 を均一に配設して、半導体素子 6 3 と基板 8 0 との間の接続信頼性を向上させることができる。

【0073】

貫通ビア部 8 7 及び配線部 8 8 は、金属膜 8 5 と、Cu めっき膜 8 6 とにより構成されている。金属膜 8 5 は、電解めっき法により Cu めっき膜 8 6 を形成する際の給電層である。金属膜 8 5 には、例えば、無電解めっき法により形成された Ni 膜、Cu 膜を用いることができる。

【0074】

配線部 8 8 は、接続パッド 8 9 と、配線 9 0 とを有した構成とされている。配線部 8 8 は、基材 8 1 の面 8 1 B 側に貫通ビア部 8 7 と一体的に形成されている。接続パッド 8 9

10

20

30

40

50

は、第2の外部接続端子であるはんだボール94を接続するためのものである。配線90は、接続パッド89と貫通ビア部87との間を電氣的に接続するためのものである。配線部88及び貫通ビア部87は、基材81の面81Bと面一となるように形成されている。

【0075】

このように、配線部88を基材81の面81Bと面一となるよう構成することにより、接続パッド89及び配線90が基材81の面81Bから突出することがなくなるため、従来の基板10よりも基板80の厚さM2を薄くして、基板80の小型化を図ることができる。

【0076】

絶縁層である溶剤レジスト91は、貫通ビア部87及び配線90を覆うと共に、接続パッド89を露出するよう基材81に形成されている。溶剤レジスト91は、はんだボール94が接続される際のはんだショートを抑制すると共に、貫通ビア部87及び配線90を保護するためのものである。拡散防止膜92は、溶剤レジスト91に露出された接続パッド89上に設けられている。拡散防止膜92は、はんだのぬれ性向上や、はんだボール94に接続パッド89に含まれるCuが拡散することを防止するためのものである。拡散防止膜92には、例えば、Ni層/Au層の積層膜を用いることができる。第2の外部接続端子であるはんだボール94は、拡散防止膜92を介して、接続パッド89に接続されている。はんだボール94は、他の基板、例えば、マザーボードと基板80との間を電氣的に接続するためのものである。

【0077】

基材81を貫通する貫通ビア部87は、配線部88と一体的に設けられている。基材81の面81A側に位置する貫通ビア部87の端部には、基材81の面81Aと面一となるよう拡散防止膜95が設けられている。拡散防止膜95が設けられた貫通ビア部87には、半導体素子63のはんだパンプ65が電氣的に接続される。拡散防止膜95は、はんだのぬれ性向上や、はんだパンプ65に貫通ビア部87に含まれるCuが拡散することを防止するためのものである。拡散防止膜95には、例えば、Ni層/Au層の積層膜を用いることができる。

【0078】

次に、図26乃至図36を参照して、第2実施例の基板80の製造方法について説明する。図26乃至図36は、第2実施例の基板の製造工程を示した図であり、図37は、図36に示した基板に半導体素子を接続させた半導体装置の断面図である。また、図38は、図29に示した構造体にCuめっき膜を析出成長させた図である。

【0079】

始めに、図26に示すように、支持部材101上に金属層102を設け、金属層102を介して支持部材101上に基材81を配設する（基材配設工程）。支持部材101は、基材81の厚さM3が薄い場合に発生する反りや撓みを抑制するためのものである。支持部材101には、例えば、エポキシやポリイミド等の樹脂板や、アルミ、銅等の金属板を用いることができる。なお、支持部材101に金属板を用いる場合には、金属層102を設ける必要がなく、金属層102を形成する工程を省略することができる。

【0080】

このように、支持部材101上に基材81を配設して、基板80の製造を行うことにより、基材81の厚さM3が薄い場合でも、精度良く基板80を製造することができる。金属層102は、電解めっき法により拡散防止膜95を形成する際の給電層である。金属層102は、例えば、無電解めっき法やスパッタ法により形成することができる。金属層102の材料には、例えば、Cu、Ni、Al等を用いることができる。なお、金属層102が設けられた支持部材101上に、樹脂を塗布して、基材81を形成しても良い。

【0081】

次に、図27に示すように、基材81に開口部84を形成する（開口部形成工程）。開口部84は、溝部83と、溝部83と一体的に形成された貫通孔82とから構成されている。この際、金属層102は、貫通孔82により露出される。開口部84は、例えば、ド

10

20

30

40

50

リルを用いたドリル加工、レーザ加工、微細な金型を用いた金型加工のいずれかの方法により形成することができる。金型加工を用いる場合には、金属層 102 が形成された支持部材 101 上に、樹脂（図 27 に示した基材 81 に相当する）を塗布又は樹脂フィルム（図 27 に示した基材 81 に相当する）を貼着し、次に、樹脂（又は樹脂フィルム）を半硬化させ、開口部 84 を形成するための凸部を有した金型を半硬化状態の樹脂（又は樹脂フィルム）に押し付けて、凸部の形状を転写し、樹脂（又は樹脂フィルム）を加熱して硬化させることで、基材 81 に開口部 84 が形成される。

【0082】

続いて、図 28 に示すように、金属層 102 を給電層として、電解めっき法により貫通孔 82 の底部に、基材 81 の面 81A と面一となる拡散防止膜 95 を形成する。なお、拡散防止膜 95 に替えて、半導体素子 63 の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。

【0083】

このように、半導体素子 63 のはんだバンプ 65 が接続される拡散防止 95 を、基材 81 の面 81A と面一となるよう形成することにより、半導体素子 63 が基板 80 に接続された際、半導体素子本体 64 と基板 80 との間に形成される間隙 110 を均一、かつ十分に確保することができる。

【0084】

次に、図 29 に示すように、図 28 に示した構造体上に金属膜 85 を形成する。金属膜 85 は、開口部 84 に Cu めっき膜 86 を析出成長させる際の給電層である。金属膜 85 は、例えば、無電解めっき法やスパッタ法により形成することができる。金属膜 85 には、例えば、銅やニッケルを用いることができる。

【0085】

次に、図 30 に示すように、基材 81 の面 81B に形成された金属膜 85 を研磨により除去して、開口部 84 の内壁にのみ金属膜 85 を残す（金属膜形成工程）。続いて、図 31 に示すように、金属膜 85 を給電層として、電解めっき法により開口部 84 に形成された金属膜 85 上に Cu めっき膜 86 を析出成長させる（めっき膜形成工程）。なお、図 31 において、Cu めっき膜 86A は、基材 81 の面 81B から突出した Cu めっき膜を示している。

【0086】

次に、図 32 に示すように、基材 81 の面 81B から突出した Cu めっき膜 86A の研磨を行って、研磨後の Cu めっき膜 86 の面 86B と基材 81 の面 81B とを面一にする（めっき膜研磨工程）。これにより、溝部 83 に形成された配線部 88（図示せず）、及び貫通孔 82 に形成された貫通ビア部 87 を基材 81 の面 81B と面一にすることができる。

【0087】

このように、配線部 88 を基材 81 の面 81B と面一となるように形成することにより、従来の基板 10 よりも基板 80 の厚さ M2 を薄くして、基板 80 の小型化を図ることができる。なお、めっき膜形成工程において、Cu めっき膜 86A の突出量（基材 81 の面 81B からの突出量）が少ない場合には、めっき膜研磨工程を省略しても良い。

【0088】

次に、図 33 に示すように、貫通ビア部 87 及び配線 90 を覆うと共に、接続パッド 89 を露出する開口部 91A を有したソルダーレジスト 91 を図 32 に示した構造体上に形成する（絶縁層形成工程）。続いて、図 34 に示すように、めっき法により接続パッド 89 上に拡散防止膜 92 を形成する。なお、拡散防止膜 92 に替えて、はんだボール 94 の接合に都合が良いようなはんだ膜（はんだめっき法により形成される）を用いても良い。

【0089】

次に、図 35 に示すように、拡散防止膜 92 にはんだボール 94 を配設する。これにより、基板 80 が製造される。その後、図 36 に示すように、支持部材 101 及び金属層 102 の除去処理を行う。ここで、支持部材 101 及び金属層 102 の除去処理について説

明する。支持部材 101 に樹脂板を用いた場合には、支持部材 101 を剥離後に、金属層 102 をウエットエッチングにより除去する。また、支持部材 101 がポリイミド（樹脂）からなり、この表面に無電解銅めっき法で金属層 102 が形成された場合には、容易に金属層 102 から支持部材 101 を剥離させることができる。金属層 102 に銅を用いた場合には、銅をウエットエッチングする際に使用されるエッチング液に拡散防止膜 95 が溶解されにくいため、金属層 102 のみ容易に除去することができる。支持部材 101 に金属板を用いた場合には、ウエットエッチングにより除去することができる。また、支持部材 101 である金属板を研磨により除去後、ウエットエッチングにより金属層 102 の除去を行っても良い。

【0090】

10

続いて、図 37 に示すように、半導体素子 63 のはんだバンプ 65 を、拡散防止膜 95 を介して接続パッド 87 にフリップチップ接続し、半導体素子本体 64 と基板 80 との間隙 110 にアンダーフィル樹脂 98 を配設することで、半導体装置 100 が製造される。

【0091】

以上説明したような製造方法で基板 80 を製造することにより、半導体素子本体 64 と基板 80 との間の間隙 110 に均一、かつ十分な厚さのアンダーフィル樹脂 98 を配設することにより、基板 80 と半導体素子 63 との間の接続信頼性を十分に確保することができる。また、基材 81 の厚さ M3 が薄い場合においても、基板 80 を精度良く製造することができる。さらに、配線部 88 を基材 81 の面 81B と面 1 となるように形成して、基板 80 の厚さ M2 を薄くすることにより、基板 80 の小型化を図ることができる。

20

【0092】

なお、めっき膜形成工程において、Cuめっき膜 86A の突出量（基材 81 の面 81B からの突出量）が少ない場合には、めっき膜研磨工程を省略しても良い。また、図 38 に示すように、図 29 に示した構造体に Cuめっき膜 86 を形成し、続いて、研磨により図 32 に示した構造体の形状に加工し、その後、図 33 乃至図 36 に示した製造工程により基板 80 を製造しても良い。

【0093】

以上、本発明の好ましい実施例について詳述したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。なお、第 1 及び第 2 実施例の基板 40, 80 において、基材 41, 81 は樹脂基材に限定されない。

30

【産業上の利用可能性】

【0094】

本発明によれば、半導体素子と基板との間隙に十分な厚さのアンダーフィル樹脂を均一に配設することができ、かつ半導体素子を基板に対して精度良く接続することのできる基板、半導体装置、基板の製造方法、及び半導体装置の製造方法に適用できる。

【図面の簡単な説明】

【0095】

【図 1】従来の半導体装置の断面図である。

【図 2】図 1 に示した基板の断面図である。

40

【図 3】半導体素子が接続された基板と半導体素子との間の拡大図である。

【図 4】本発明の第 1 実施例の半導体装置を示した図である。

【図 5】第 1 実施例の基板の断面図である。

【図 6】図 5 に示した基板を C 視した図である。

【図 7】図 5 に示した基板を D 視した図である。

【図 8】第 1 実施例の半導体装置の製造工程を示した図（その 1）である。

【図 9】第 1 実施例の半導体装置の製造工程を示した図（その 2）である。

【図 10】第 1 実施例の半導体装置の製造工程を示した図（その 3）である。

【図 11】第 1 実施例の半導体装置の製造工程を示した図（その 4）である。

【図 12】第 1 実施例の半導体装置の製造工程を示した図（その 5）である。

50

- 【図 1 3】第 1 実施例の半導体装置の製造工程を示した図（その 6）である。
 【図 1 4】第 1 実施例の半導体装置の製造工程を示した図（その 7）である。
 【図 1 5】第 1 実施例の半導体装置の製造工程を示した図（その 8）である。
 【図 1 6】第 1 実施例の半導体装置の製造工程を示した図（その 9）である。
 【図 1 7】第 1 実施例の半導体装置の製造工程を示した図（その 10）である。
 【図 1 8】第 1 実施例の半導体装置の製造工程を示した図（その 11）である。
 【図 1 9】第 1 実施例の半導体装置の製造工程を示した図（その 12）である。
 【図 2 0】第 1 実施例の半導体装置の製造工程を示した図（その 13）である。
 【図 2 1】図 1 1 に示した構造体に Cu めっき膜を析出成長させた図である。
 【図 2 2】本発明の第 2 実施例の半導体装置を示した図である。
 【図 2 3】第 2 実施例の基板の断面図である。
 【図 2 4】図 2 3 に示した基板を C 視した図である。
 【図 2 5】図 2 3 に示した基板を D 視した図である。
 【図 2 6】第 2 実施例の基板の製造工程を示した図（その 1）である。
 【図 2 7】第 2 実施例の基板の製造工程を示した図（その 2）である。
 【図 2 8】第 2 実施例の基板の製造工程を示した図（その 3）である。
 【図 2 9】第 2 実施例の基板の製造工程を示した図（その 4）である。
 【図 3 0】第 2 実施例の基板の製造工程を示した図（その 5）である。
 【図 3 1】第 2 実施例の基板の製造工程を示した図（その 6）である。
 【図 3 2】第 2 実施例の基板の製造工程を示した図（その 7）である。
 【図 3 3】第 2 実施例の基板の製造工程を示した図（その 8）である。
 【図 3 4】第 2 実施例の基板の製造工程を示した図（その 9）である。
 【図 3 5】第 2 実施例の基板の製造工程を示した図（その 10）である。
 【図 3 6】第 2 実施例の基板の製造工程を示した図（その 11）である。
 【図 3 7】図 3 6 に示した基板に半導体素子を接続させた半導体装置の断面図である。
 【図 3 8】図 2 9 に示した構造体に Cu めっき膜を析出成長させた図である。

【符号の説明】

【0096】

- 10, 40, 80 基板
 11 樹脂基材
 11A, 11B, 41A, 41B, 46B, 81A, 81B, 86B 面
 12, 75, 82 貫通孔
 13 貫通ビア
 14, 17, 51, 90 配線
 15, 18, 49, 89 接続パッド
 16, 19, 57, 91 ソルダーレジスト
 16A 上面
 20, 60, 100 半導体装置
 21, 54, 94 はんだボール
 23, 63 半導体素子
 24, 65 はんだパンプ
 26, 66, 98 アンダーフィル樹脂
 41, 81 基材
 45, 85 金属膜
 46, 46A, 86, 86A Cu めっき膜
 47, 87 貫通ビア部
 48, 88 配線部
 52, 56, 92, 95 拡散防止膜
 57A, 74, 84, 91A 開口部
 63 半導体素子

10

20

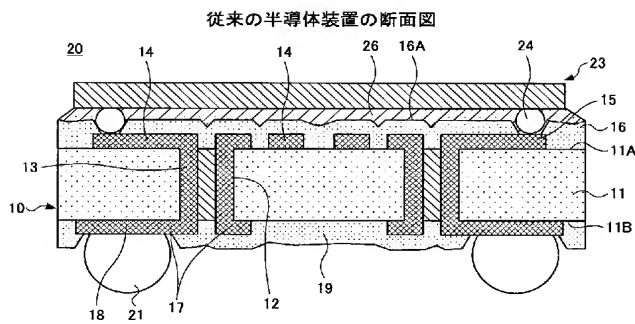
30

40

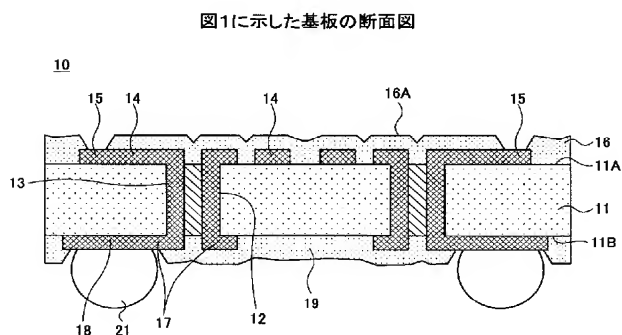
50

6 4 半 導 体 素 子 本 体
6 7 , 1 1 0 間 隙
7 1 , 1 0 1 支 持 部 材
7 2 , 1 0 2 金 属 層
7 6 , 8 3 溝 部
A , B 領 域
D 1 , D 2 間 隙
H 1 高 さ
M 1 ~ M 3 厚 さ

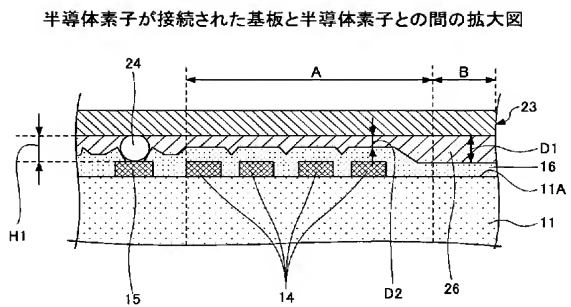
【图 1】



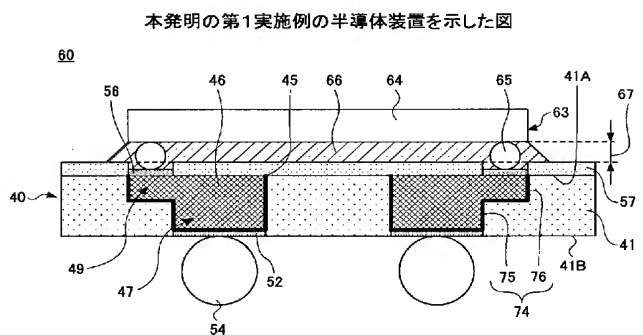
【图 2】



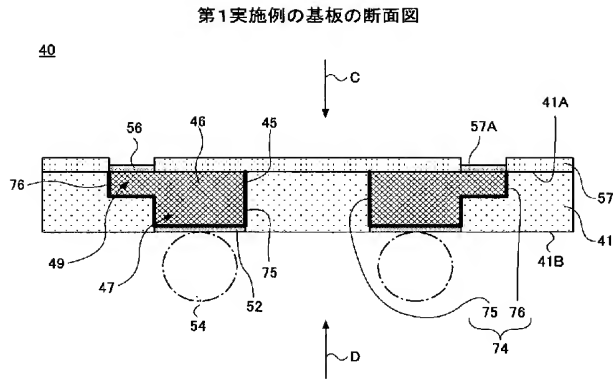
【 図 3 】



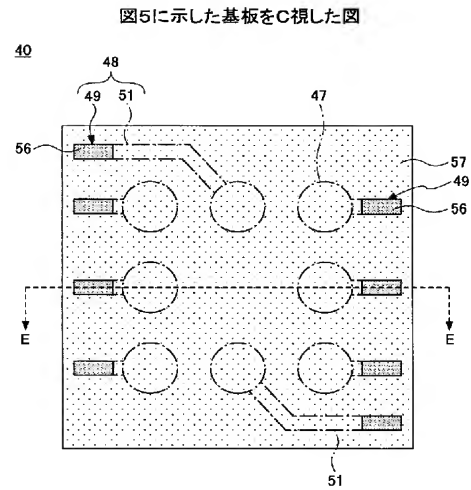
【 図 4 】



【図 5】

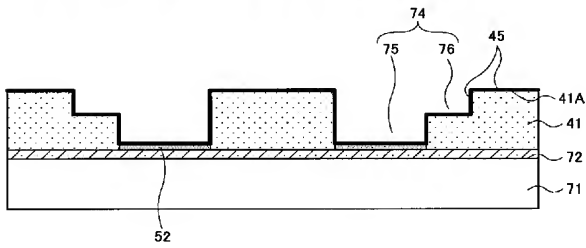


【図 6】



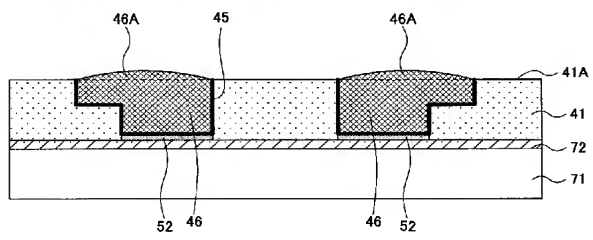
【図 1 1】

第1実施例の半導体装置の製造工程を示した図(その4)



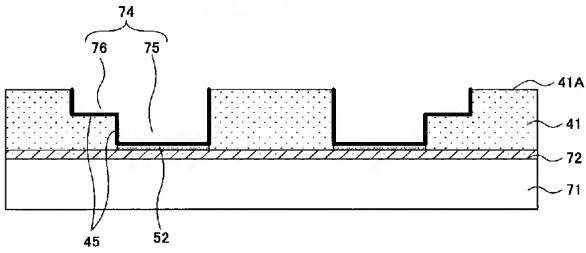
【図 1 3】

第1実施例の半導体装置の製造工程を示した図(その6)



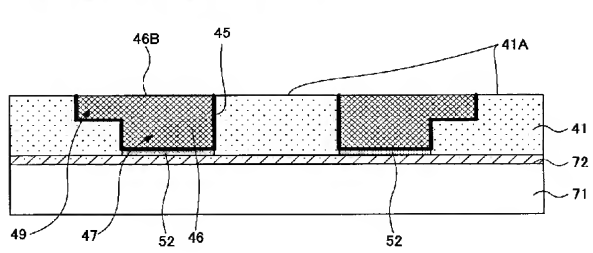
【図 1 2】

第1実施例の半導体装置の製造工程を示した図(その5)



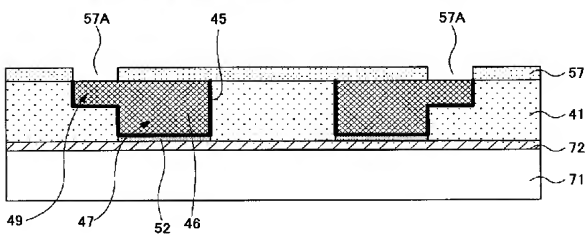
【図 1 4】

第1実施例の半導体装置の製造工程を示した図(その7)



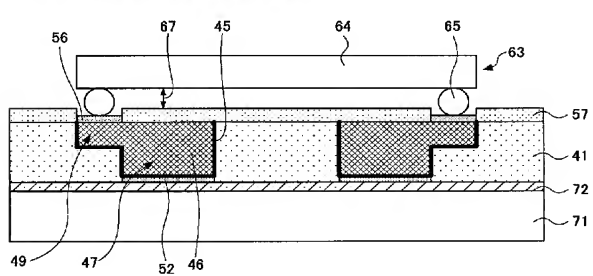
【図 1 5】

第1実施例の半導体装置の製造工程を示した図(その8)



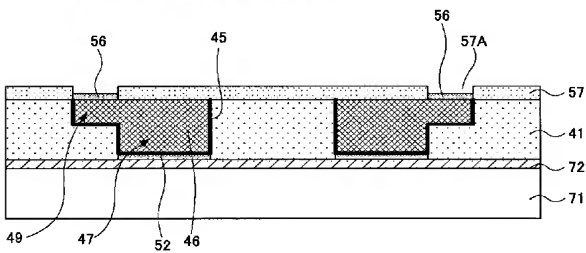
【図 1 7】

第1実施例の半導体装置の製造工程を示した図(その10)



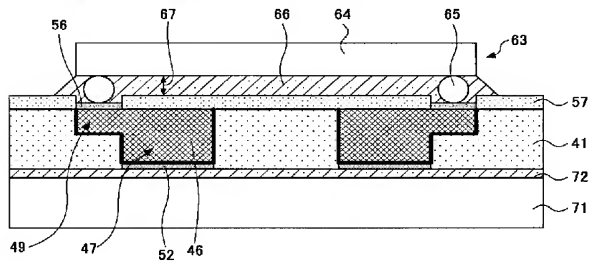
【図 1 6】

第1実施例の半導体装置の製造工程を示した図(その9)



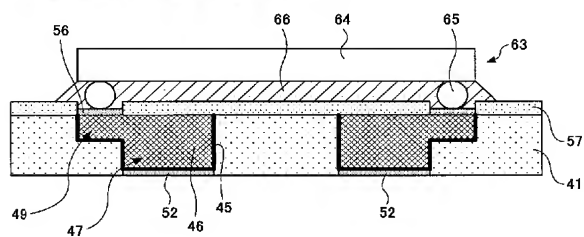
【図 1 8】

第1実施例の半導体装置の製造工程を示した図(その11)



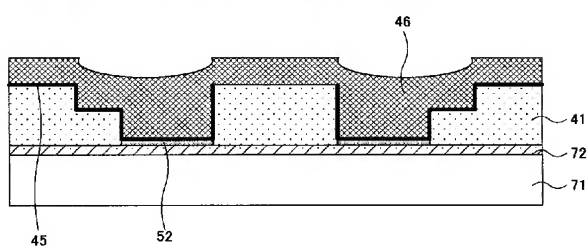
【 ㄨ 1 9 】

第1実施例の半導体装置の製造工程を示した図(その12)



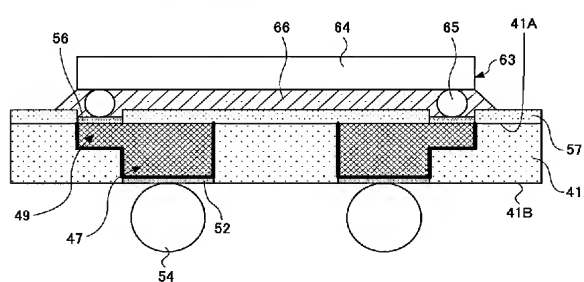
【图 2-1】

図11に示した構造体にCuめっき膜を析出成長させた図



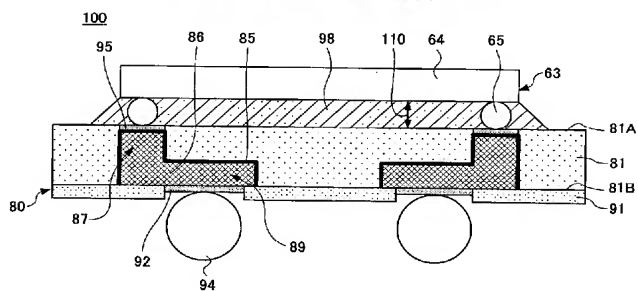
【 ㊦ 2 0 】

第1実施例の半導体装置の製造工程を示した図(その13)



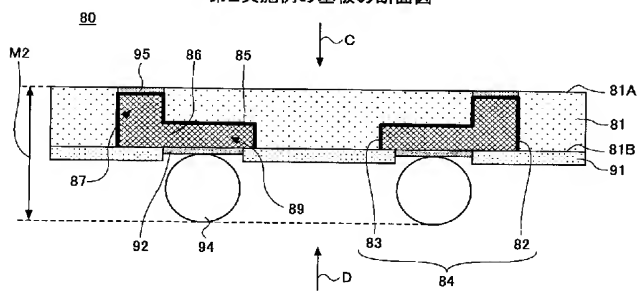
【 図 2 2 】

本発明の第2実施例の半導体装置を示した図



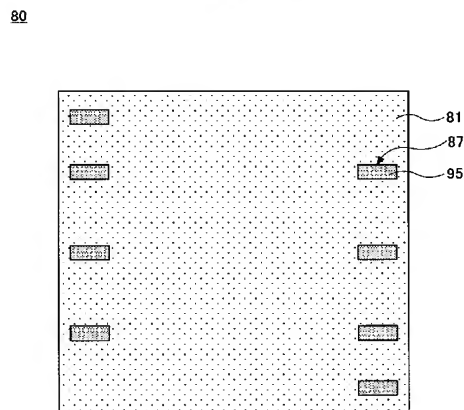
【 ㊦ 2 3 】

第2実施例の基板の断面図

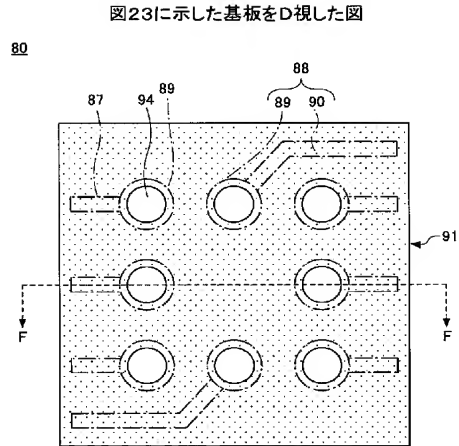


【 図 2 4 】

図23に示した基板をC視した図

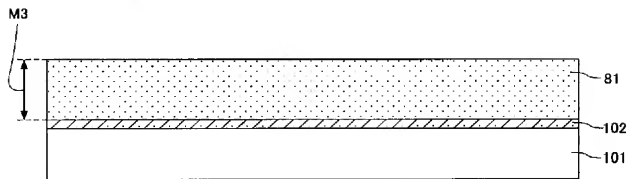


【図 2 5】



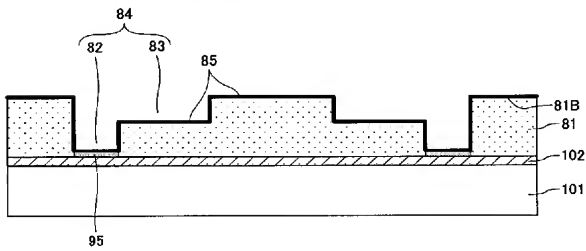
【図 2 6】

第2実施例の基板の製造工程を示した図(その1)



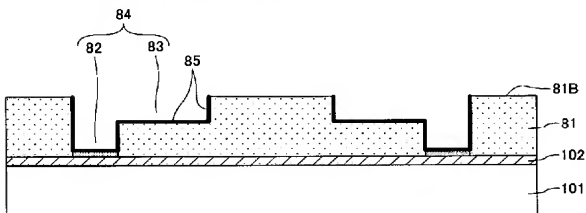
【図 2 9】

第2実施例の基板の製造工程を示した図(その4)



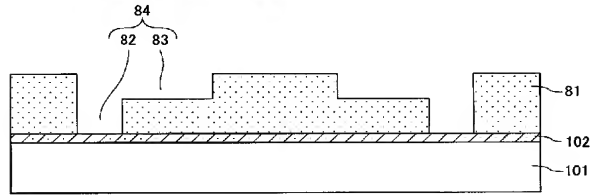
【図 3 0】

第2実施例の基板の製造工程を示した図(その5)



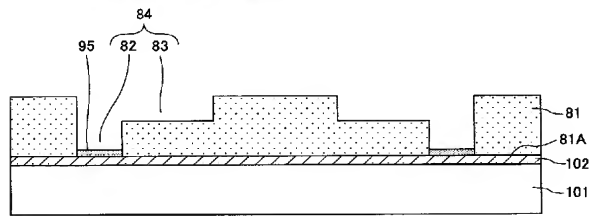
【図 2 7】

第2実施例の基板の製造工程を示した図(その2)



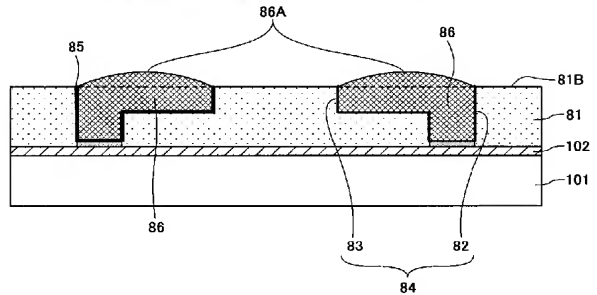
【図 2 8】

第2実施例の基板の製造工程を示した図(その3)



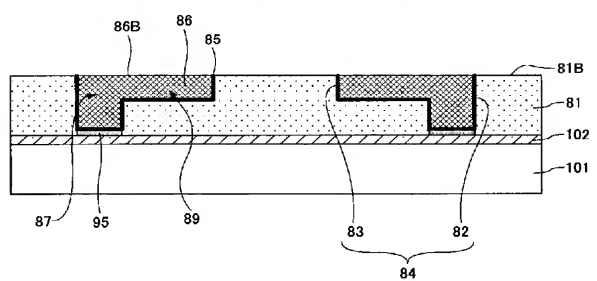
【図 3 1】

第2実施例の基板の製造工程を示した図(その6)



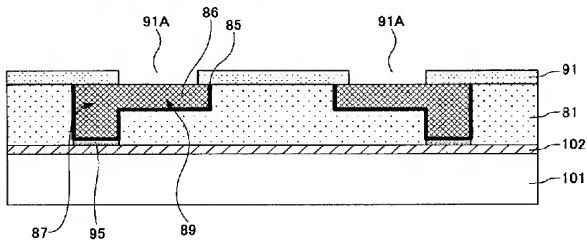
【図 3 2】

第2実施例の基板の製造工程を示した図(その7)



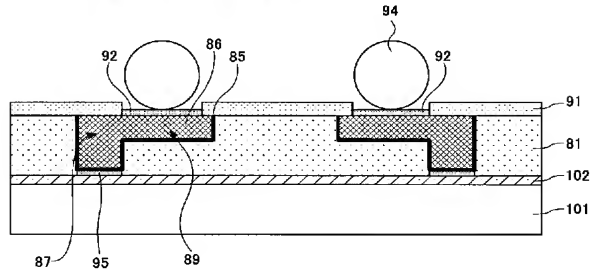
【図 3 3】

第2実施例の基板の製造工程を示した図(その8)



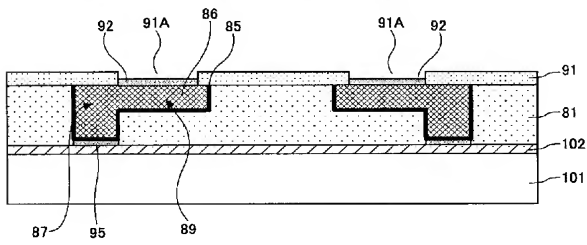
【図 3 5】

第2実施例の基板の製造工程を示した図(その10)



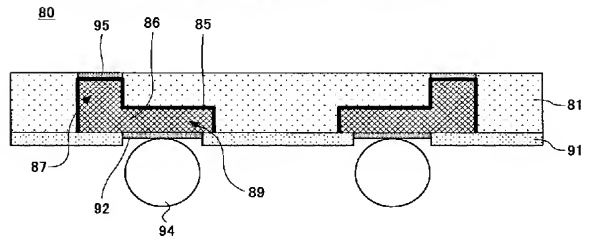
【図 3 4】

第2実施例の基板の製造工程を示した図(その9)



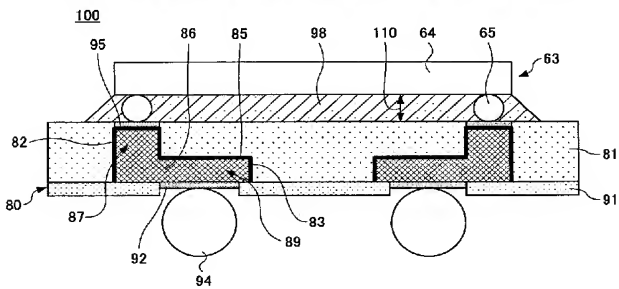
【図 3 6】

第2実施例の基板の製造工程を示した図(その11)



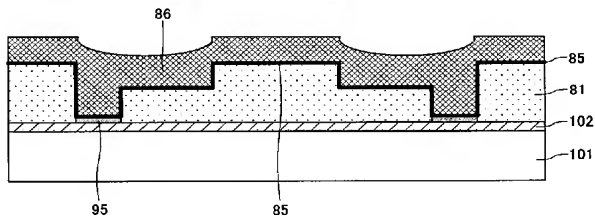
【図 3 7】

図36に示した基板に半導体素子を接続させた半導体装置の断面図



【図 3 8】

図29に示した構造体にCuめっき膜を析出成長させた図



PAT-NO: JP02006066517A
DOCUMENT-IDENTIFIER: JP 2006066517 A
TITLE: SUBSTRATE, SEMICONDUCTOR
DEVICE, MANUFACTURING METHOD
OF SUBSTRATE, AND
MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE
PUBN-DATE: March 9, 2006

INVENTOR-INFORMATION:

NAME	COUNTRY
MURAMATSU, SHIGEJI	N/A
KYOZUKA, MASAHIRO	N/A
KOMATSU, MIKIYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHINKO ELECTRIC IND CO LTD	N/A

APPL-NO: JP2004245468
APPL-DATE: August 25, 2004

INT-CL-ISSUED:

TYPE	IPC DATE	IPC-OLD
IPCP	H01L23/12	20060101 H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a substrate on which semiconductor elements are mounted at high density in a state that an underfill resin having a sufficient thickness can be provided uniformly between the semiconductor elements and the substrate and the elements can be connected accurately to the substrate, and to provide a semiconductor device, a method of manufacturing the substrate, and a method of manufacturing the semiconductor device.

SOLUTION: In the substrate, ends of through vias 47 and connection pads 49 on the surface 41A side of a base material 41 are constituted so that the ends and the pads 49 may be flush with the surface 41A. Then a solder resist 57 which exposes the connection pads 49 is provided on the surface 41A of the base material 41 and diffusion preventing films 56 are formed on the connection pads 49. In addition, solder bumps 65 of the semiconductor elements 63 are connected to the connection pads 49 through the diffusion preventing films 56 and the underfill resin 66 is formed in the gap 67 between main bodies 64 of the semiconductor elements 63 and the substrate 40.

COPYRIGHT: (C) 2006, JPO&NCIPI